

# 800G 设计挑战与应对



贾功贤, 2020/12/15

# 前言

随着大数据、AI、分布式存储与计算的飞速发展，数据中心对大带宽的需求日益迫切。

有关的规范也在制定中，CEI-112从2017年、802.3CK(100/200/400GE)从2018年开始制定，有关规范预计在2021-2022正式发布。

有关Serdes IP 厂家，如Cadence， Synopsys， Credo， Rambus等都有demo提供给客户。

800G (100\*G) 涉及的IO 硬件接口规范也在制定中，比如DDQ等。

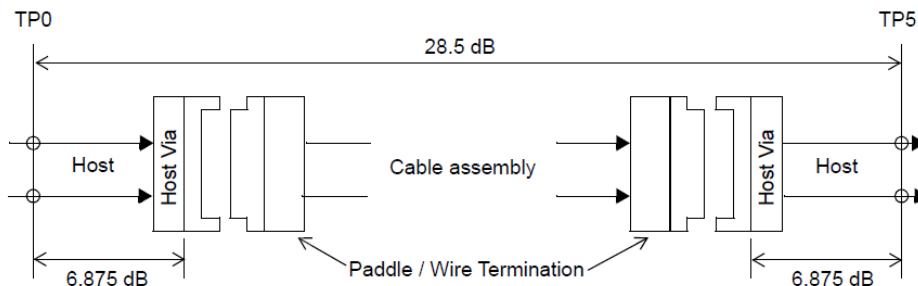
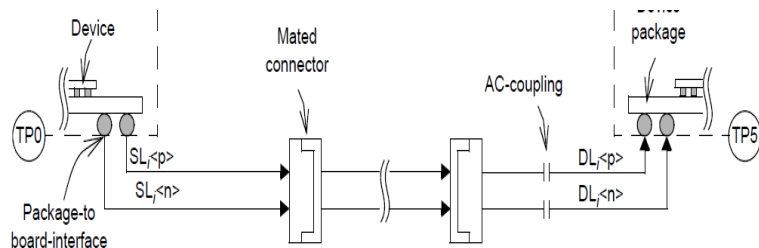
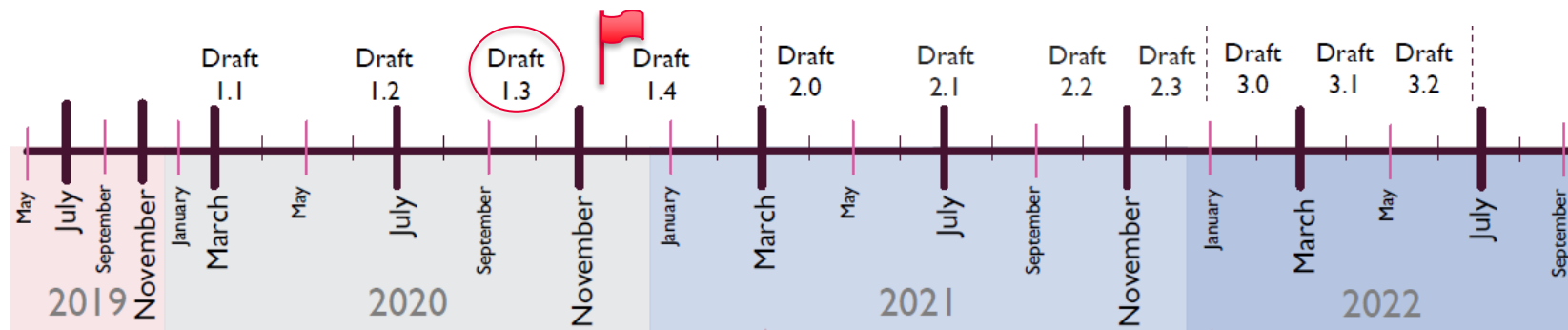
另一方面，800G设计在SI、热和供电等方面都面临挑战，需要产业界，上下游供应商携手合作，才能保证800G技术可行，工程可用。

这里仅从SI角度去探讨目前的技术趋势/挑战和应对。

# 议题

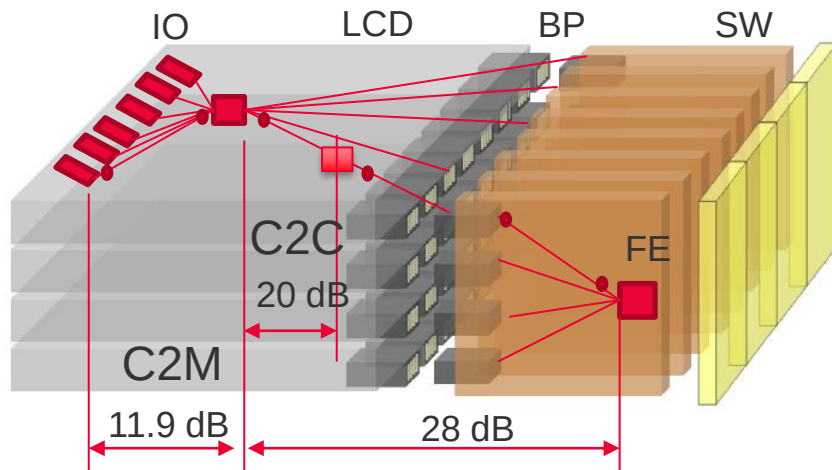
- 800G 规范进展
- 800G面临的挑战
- 如何应对
- 莫仕的中国心

# 行业规范演进



$$\text{Channel IL} = 28.5 \text{ dB} @ 26.56 \text{ GHz} = 2 \times (6.875 + 1.6) + 11.55$$

# 行业规范演进

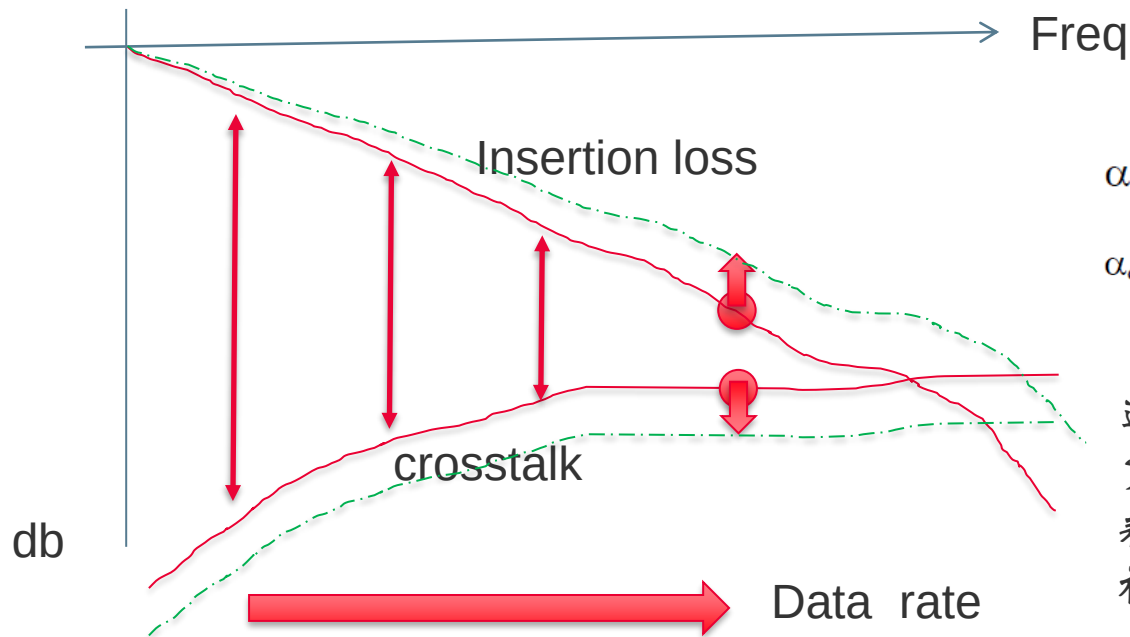


802.3 CK定义了背板，用于MOR的铜缆，C2C,C2M几种场景，每种场景的链路损耗要求不同。

# 议题

- 800G 规范进展
- 800G面临的挑战
- 如何应对
- 莫仕的中国心

# 800G 面临的挑战



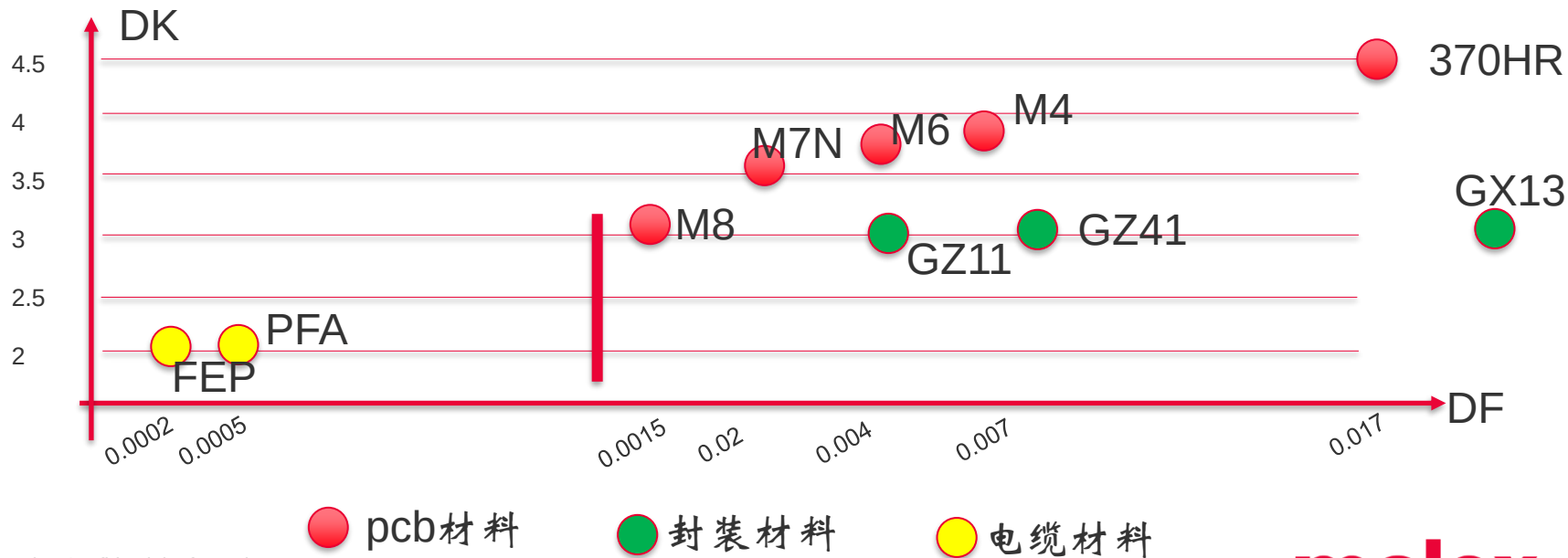
$$\alpha_{\text{conductor}} = 21.6/Z_0 \cdot \sqrt{f}/w \quad (\text{dB/in})$$

$$\alpha_{\text{dielectric}} = 2.3 \cdot f \cdot \tan(\delta) \cdot \sqrt{\epsilon_r} \quad (\text{dB/in})$$

速率越高，系统需要的有效带宽就越高，频率越高，链路损耗就越大，串扰也越大，系统裕量越来越小。

# 800G 面临的挑战

- 高速链路的损耗主要有PCB/电缆以及封装影响，过孔和连接器的影响也不可忽视。





# 800G 面临的挑战

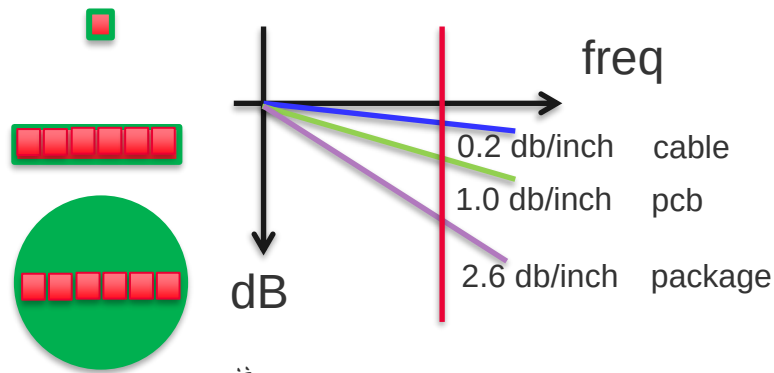
- 高速链路的损耗主要有PCB/电缆以及封装影响，过孔和连接器的影响也不可忽视。

Package: 宽20um, 高18um, 长 <50mm

Pcb trace: 宽>125um, 高18um, 长 <1000mm

Cable: 直径 254um (30AWG), 长1000mm-5000mm

电缆具有最大的外径，最低的介质损耗。

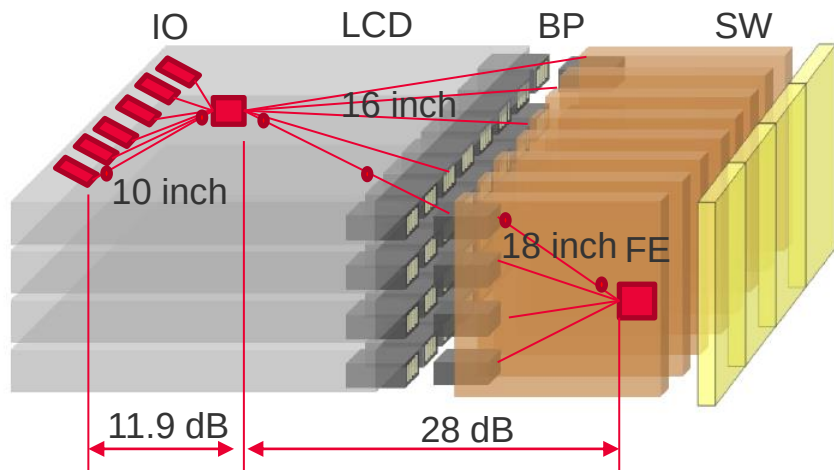


注:

1/数据仅供参考，与材料、结构有关。

2/低损耗的电缆/pcb以及封装方面，铜损约占总损耗的80%，介质损耗约占20%左右。

# 800G 面临的挑战



|       |      | Db/inch | Note  |
|-------|------|---------|-------|
| PCB   | M8   | 1 dB    | trace |
| cable | 30   | 0.18    | cable |
|       | 32   | 0.22    | cable |
| 连接器   | cnnt | 1-3     | 对     |
| 过孔    | via  | 0.5 ?   | /个    |

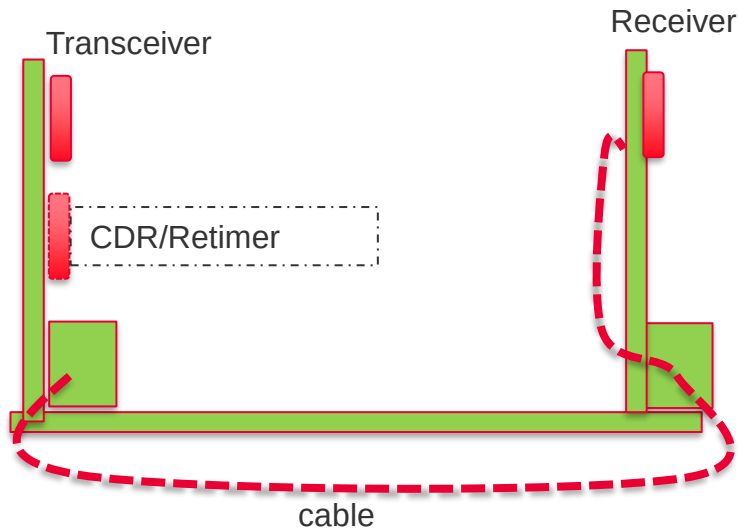
注：电缆损耗与电缆材质，结构有关。

对于框式背板来说，如上图中的例子，如果不加驱动，用纯PCB应该无法满足芯片能力需求;如果部分或者全部用电缆代替，则可以满足规范要求。

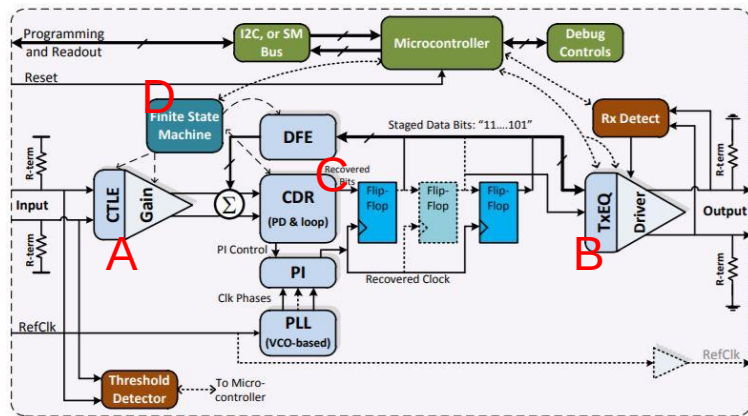
# 议题

- 800G 规范进展
- 800G面临的挑战
- 如何应对
- 莫仕的中国心

# 应对讨论



加驱动器

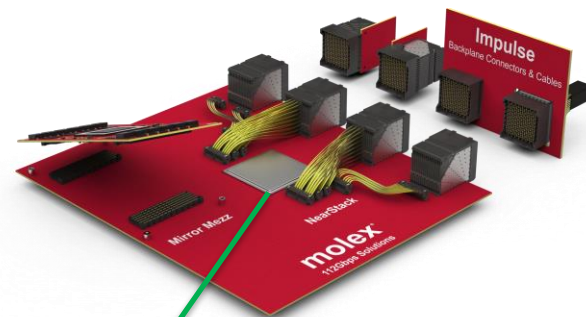
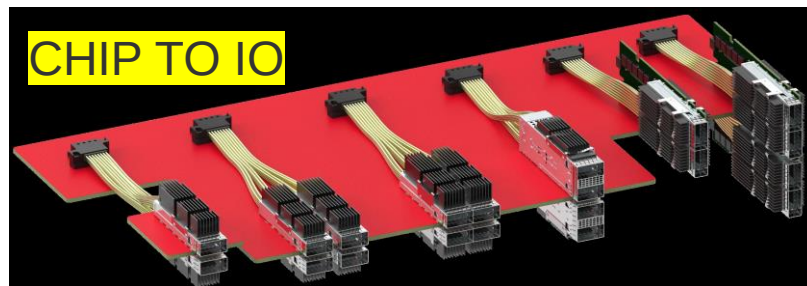


EQ: A+B  
CDR: A+B+C  
Retimer: A+B+C+D

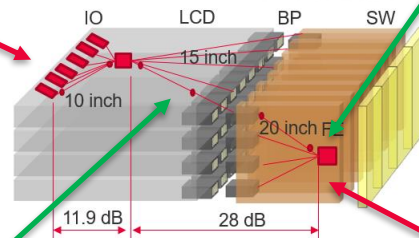
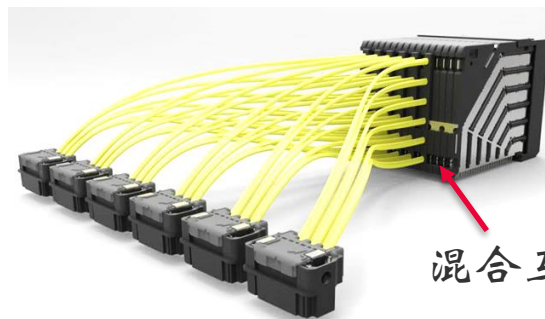
为了弥补链路的损耗，可以通过增加驱动（CDR/retimer/EQ）弥补PCB损耗过大，满足端到端芯片的驱动能力。

# 应对讨论

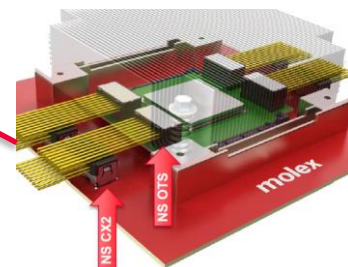
用电缆互连



CHIP TO Backplane



Near Asic



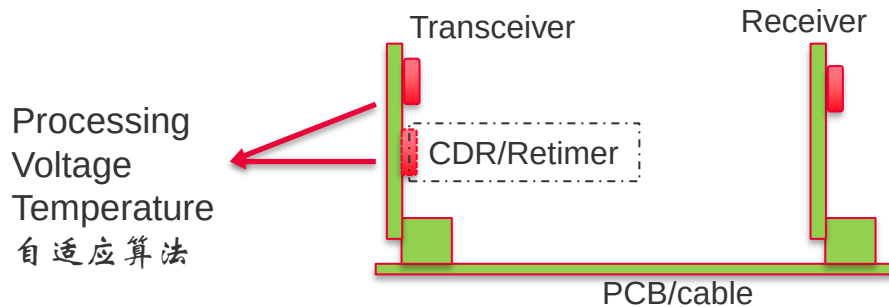
混合互连

Cabled backplane

# 应对讨论

一致性控制

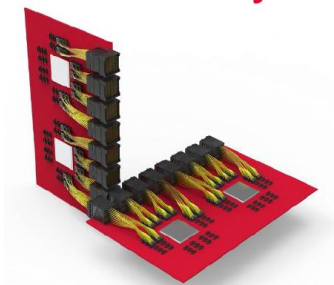
PVT: 制程、电压和温度对高速链路上的器件有重大影响。



- (1) 树脂含量
- (2) 层叠差异;
- (3) 线宽、粗糙度控制;
- (4) 对内skew控制;

↓

Lane to lane  
Chip to chip  
Run to run: 重复性

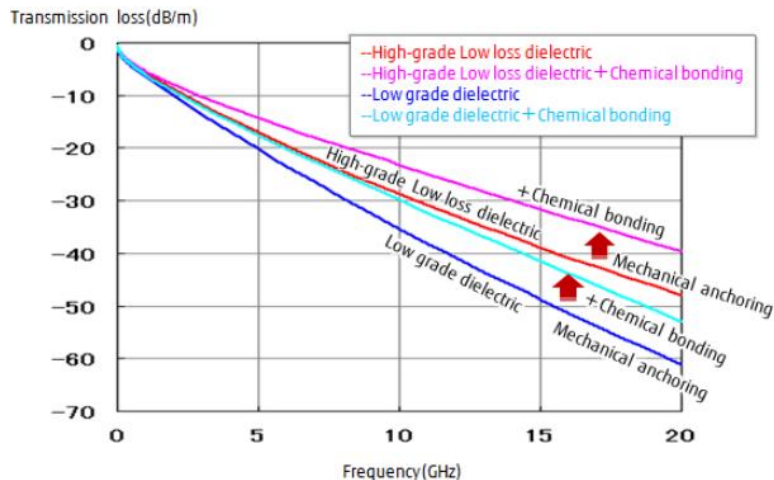


制程: 棕化/黑化;  
层叠: 相邻层偏控制;  
装配: 安装精度;  
连接器: wipe length; 对pcb的依赖;  
使用条件: 温度, 湿度。

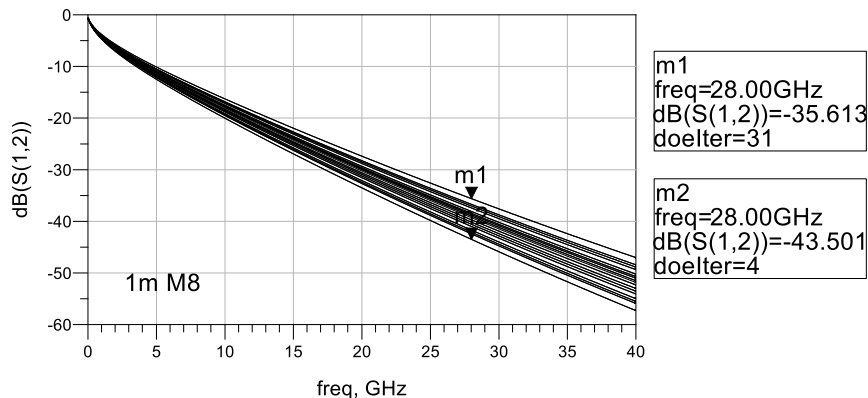
# 应对讨论

一致性控制

PCB 制程影响：机械蚀刻与化学键合对传输线损耗的影响 (1m)



PCB 制程影响：层叠、线宽对损耗的影响 (1m)。



112G: 相对于名义值有  $\Delta 4\text{dB}/1\text{m}$  劣化。

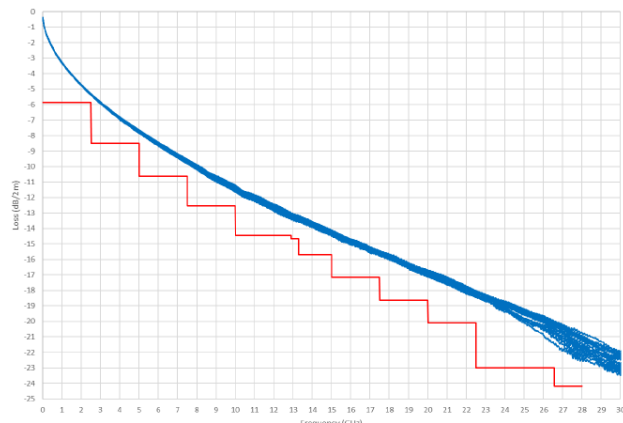
本例中，名义值是  $39.3\text{ dB}/40\text{inch}$

**molex**

# 应对讨论

一致性控制

电缆制程影响：批次样品损耗波动 (2m)



50G:  $\Delta$  0.1 dB/1m

112G:  $\Delta$  0.5dB/1m

| Frequency (GHz) | Average Measured Loss (dB/2m) | Maximum Measured Loss (dB/2m) |
|-----------------|-------------------------------|-------------------------------|
| 2.50            | -5.33                         | -5.37                         |
| 5.00            | -7.73                         | -7.84                         |
| 7.50            | -9.67                         | -9.82                         |
| 10.00           | -11.42                        | -11.65                        |
| 12.89           | -13.18                        | -13.38                        |
| 13.28           | -13.36                        | -13.54                        |
| 15.00           | -14.29                        | -14.51                        |
| 17.50           | -15.60                        | -15.78                        |
| 20.00           | -16.91                        | -17.12                        |
| 22.50           | -18.22                        | -18.45                        |
| 26.56           | -20.48                        | -21.46                        |
| 28.00           | -21.39                        | -22.31                        |



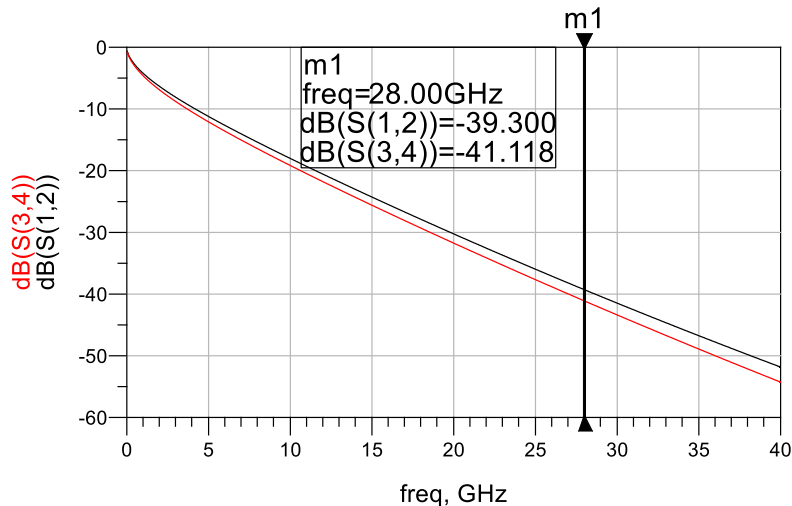
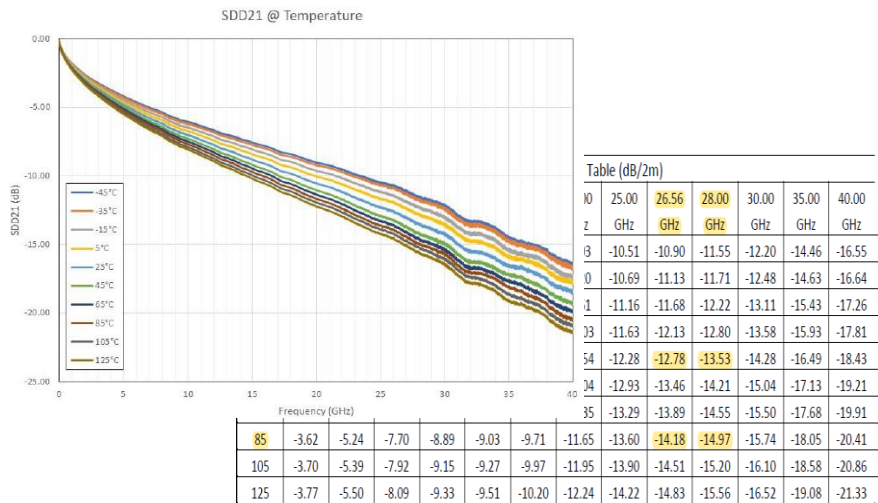
# 应对讨论

一致性控制

## 电缆温度影响

$$R_t = R^* (1 + 0.004 \Delta T)$$

## PCB温度影响

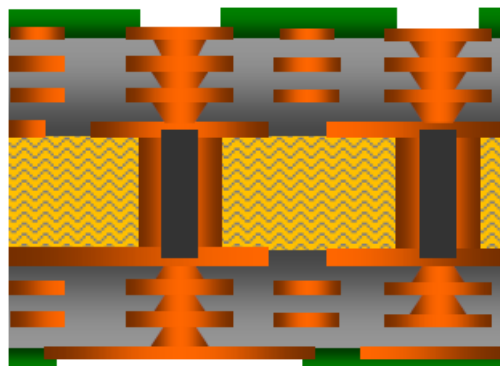


25度到85度: 0.7 db/m@26.56Ghz 0.72 db/m@28G hz

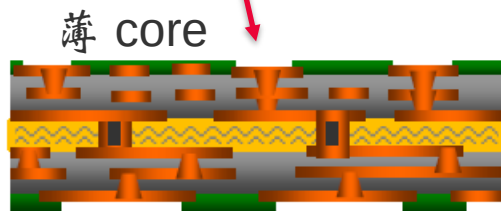
1.818 db/m @28G Hz, 未考虑介质随温度影响

# 应对讨论

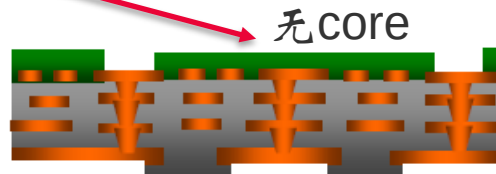
一致性控制



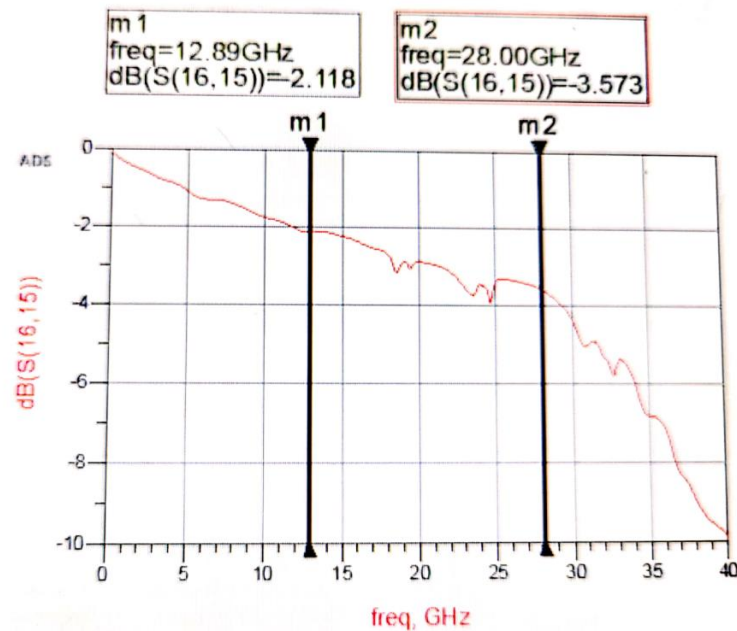
厚core



薄core

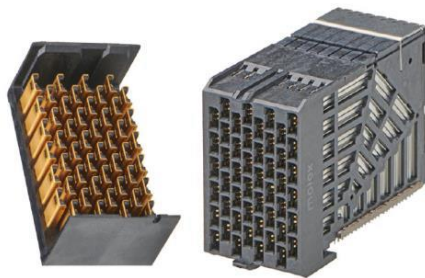


无core



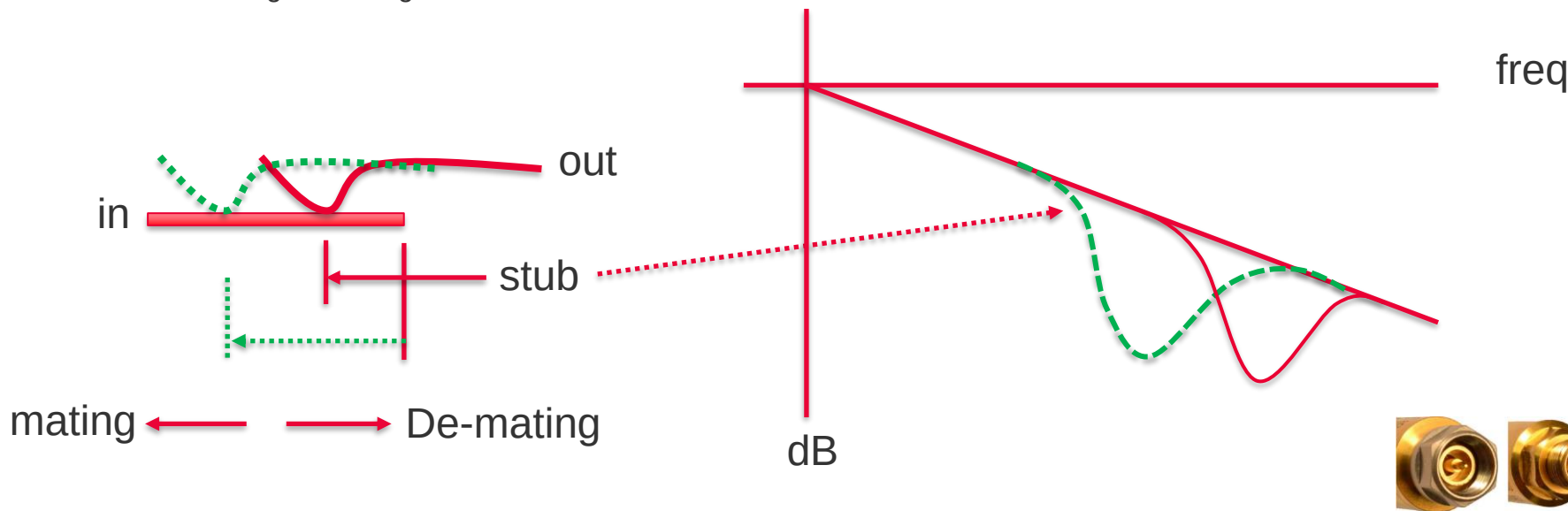
# 应对讨论

一致性控制



## 连接器性能与mating, de-mating

Connector mating/de mating



# 应对总结

800G (112G) 设计，对于框式设备，由于PCB传输线损耗的限制，至少部分通道需要采用电缆。电缆系统具有更低损耗，**更小的性能波动（基于molex数据）**。

由于系统余量越来越小，提高裕量的代价越来越高，而链路中各种因素会由于制程以及温度等导致额外的性能劣化，需要仔细评估各种变量的影响程度，才能设计出高可靠、高性价比的产品。

系统设计人员需要充分了解各种要素的影响因素，与上下游供应商充分合作，才能制造出可批量、高性价比、高可靠的产品。

# 议题

- 800G 规范进展
- 800G面临的挑战
- 如何应对
- 莫仕的中国心

# 莫仕亚洲设计中心

## 5 大研发中心



### Copper BU

Singapore – Engineers : 30+  
Products : High speed Backplane , BTB,  
Cable solution , Standard products ,  
DDR, SAS

Taiwan – Engineers : 25+  
Products : High Speed IO , Standard IO

### Optical BU

Zhuhai - Engineers : 50 +  
Taiwan Engineers : 50+  
&  
Wuhan Products : Passive and Active Optical product

### RF BU

Suzhou – Engineers : 10+  
Products : Isolator / Circulators / RF  
• Satellite Design Center ; DG , Chengdu , Japan  
▪ Asia Engineering resources with main and  
satellite design centers aligned with  
manufacturing footprint to better support new  
product execution for Customers in the  
region.

**molex**

# 莫仕亚洲制造中心

1. Molex 会继续大力投资中国和亚太地区的研发中心和先进工厂，高速产品研发和生产已基本完成向国内和亚太地区的转移。

2. Molex 非常重视知识产权和客户的供货保障诉求，Molex 正在推进并扩大将IP授权给中国厂商的工作！

3. Molex 将用100+人年的设计经验，持续协助中国客户成功。



## 莫仕亚洲制造工厂

### Data Comm

Singapore : High Speed Backplane , IO , BTB  
Dongguan : High Speed Cable Assembly / Tray  
Philippines : High speed Cable assembly / Raw Cable  
Chengdu : Standard products , SAS ,IO ,Mag jack etc  
Shanghai : Standard products , DDR , BTB ,etc  
Zhuhai : Passive and Active optical products  
Suzhou : Circulators / Isolators / RF

### CCS

Malaysia : Standard products FPC , FFC  
Vietnam : Standard products , FPC , BTB  
Shanghai : Standard products , Power connectors ,  
Mobile Fine pitch BTB  
Japan : Mobile Fine pitch BTB  
Korea : Mobile Fine pitch BTB

### TIS

Chengdu : Automotive connectors  
Dongguan : Automotive Cable Harness

**molex**

# molex